

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 8 2 7 6 0

(43) 公開日 平成 9 年 (1997) 3 月 28 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 L	21/60	3 1 1	H 0 1 L	21/60	3 1 1 S
		3 2 1			3 2 1 Y
	21/66			21/66	R
H 0 5 K	1/11	6921－4 E	H 0 5 K	1/11	C
	1/18			1/18	L
審査請求 未請求 請求項の数 6			OL	(全 1 3 頁) 最終頁に続く	

(21) 出願番号 特願平 8 - 170412

(22) 出願日 平成 8 年 (1996) 6 月 28 日

(31) 優先権主張番号 特願平 7 - 171711

(32) 優先日 平 7 (1995) 7 月 7 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 72 番地

(72) 発明者 志津木 康

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

(72) 発明者 井関 裕二

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

(72) 発明者 吉原 邦夫

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

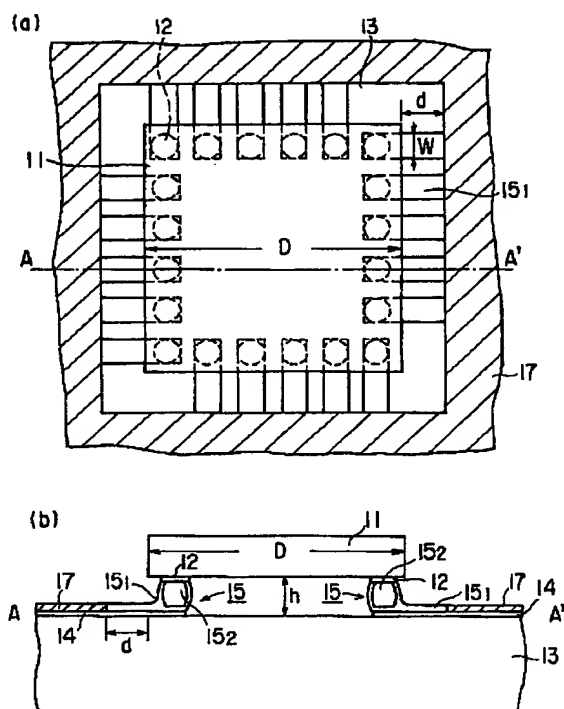
最終頁に続く

(54) 【発明の名称】 半導体装置、半導体素子およびその半田接続部検査方法

(57) 【要約】

【課題】 本発明は、接続検査が容易なフリップチップ接続構造を含む半導体装置と、その半田接続部検査方法を提供する。

【解決手段】 半導体装置は、複数のパッド電極を有する配線基板と、配線基板に搭載された半導体素子と、半導体素子を所定の距離をおいて取り囲むように形成された溶剤レジストと、半導体素子の端部に設けられた複数の端子電極と、配線基板と半導体素子との間にギャップを設け、かつパッド電極と端子電極とをそれぞれ電気的に接続する複数の半田バンプを具備し、パッド電極は、半導体素子の端子電極の実質的な下部から、半導体素子の外側の前記溶剤レジストまで延在する部分を少なくとも含み、半田バンプは、半導体素子の外側に延在するパッド電極上に広がった部分を有する。



## 【特許請求の範囲】

【請求項1】 主面とその主面上に形成された複数のパッド電極を有する配線基板と、

前記配線基板の前記主面上に搭載され、前記配線基板の前記主面と対向する主面を有する長方形の半導体素子と、

前記配線基板の前記主面において、前記半導体素子を所定の距離をおいて取り囲むように形成されたソルダーレジストと、

前記半導体素子の前記主面の端部に設けられた複数の端子電極と、

前記配線基板の前記主面と前記半導体素子の前記主面との間にギャップを設け、かつ前記複数のパッド電極と前記複数の端子電極とをそれぞれ電氣的に接続する複数の半田バンプとを具備し、

前記複数のパッド電極の各々は、前記半導体素子の前記複数の端子電極の対応する1つの実質的な下部から、前記半導体素子の外側の前記ソルダーレジストまで延在する部分を少なくとも含み、前記複数の半田バンプの各々は、前記複数のパッド電極の対応する1つの、前記半導体素子の外側に延在する部分上に広がった部分を有することを特徴とする半導体装置。

【請求項2】 前記半導体素子と前記ソルダーレジストとの間の前記所定の距離を $d$ とすると、 $0.02\text{ mm} \leq d \leq 1\text{ mm}$ の関係を満足することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体素子と前記ソルダーレジストとの間の前記所定の距離を $d$ とし、前記半導体素子の長辺の長さを $D$ とすると、 $0.005 \leq d/D \leq 0.25$ の関係を満足することを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記半導体素子と前記ソルダーレジストとの間の前記所定の距離を $d$ とし、前記パッド電極の前記半導体素子の側面に沿った方向の幅を $W$ とすると、 $d \leq W$ の関係を満足することを特徴とする請求項1に記載の半導体装置。

【請求項5】 主面と4つの側辺を有する長方形の基板と、

前記基板の前記4つの側辺の少なくとも1つの側辺に沿って前記主面上に形成され、前記少なくとも1つの側辺に平行な第1の側辺対とこれに垂直な第2の側辺対とを有し、前記基板上に形成された第1の金属電極と、前記第1の金属電極上に形成された半田に濡れない材料から成る第2の金属電極との積層構造を有する複数の端子電極と、

前記複数の端子電極の各々の上に形成され、前記複数の端子電極の各々の前記第1の側辺対の長さより小さい長さを有する短辺と、前記短辺に垂直で、前記第2の側辺対の長さを超えない長さを有する長辺とからなる底面を有する直方体の金属コアと、

前記金属コアの、前記複数の端子電極の各々と接続する面以外の面を被覆する半田層と、を具備することを特徴とする半導体装置用の半導体素子。

【請求項6】 配線基板上に設けられ、表面が金と銅のいずれかから成る配線導体に、半田が被覆される半田接続部を有する半導体装置の半田接続部検査方法において、

前記配線導体上の前記半田付け部に $480\text{ nm}$ 以下、もしくは $580\text{ nm}$ 以上のいずれかの波長の光を照射するステップと、

前記半田付け部よりの反射光を検知するステップと、前記反射光の強度から、その反射光が前記配線導体の前記表面から反射されたものか、前記半田から反射されたものかを識別し、前記半田付け部に前記半田が存在するか否かを検出するステップと、を具備することを特徴とする半田接続部検査方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に係わり、特に半導体チップや半導体モジュールなどを基板に搭載する半導体装置、およびそれに適した半導体素子、および半導体装置の半田接続部検査方法に関する。

【0002】

【従来の技術】 近年エレクトロニクスの急速な発展に伴い、電子機器の小型化、これに用いられる半導体装置の小型化が進められている。小型化を進めるに当たっては、構成部品のために高密度な実装が要求されている。これに応える方法の1つとしてフリップチップ方式がある。

【0003】 図26に、フリップチップ方式を用いた一例として、特開平2-232947号公報に開示された半導体装置の例を示す。

【0004】 図26において、1は半導体チップ、2は半導体チップ1の下面に設けられた端子電極である。また、3は配線基板、4は配線基板3上に形成された配線パターンであり、この配線パターン4と端子電極3とが半田を用いたバンプ5によって接続されている。また6はチップ固定用の接着剤である。

【0005】 このように、フリップチップ方式は、半導体素子の電極上もしくは配線基板の電極上にバンプを形成し、半導体素子上の電極と配線基板上の電極との位置合わせを行い、半導体素子を配線基板にマウント後、リフローすることによって半導体素子と配線基板を接続する半導体素子実装方式である。

【0006】 このようなフリップチップ方式の場合、ワイヤボンディング方式やTAB方式のように、半導体チップ周辺に接続のためのスペースをとる必要がないので高密度な実装が可能であり、かつ配線長が短くなるため電氣的特性が向上する。

50 【0007】

【発明が解決しようとする課題】 上述の特開平2-232947号公報に開示された従来の半導体装置は、高密度な実装が可能となる利点を持つ。しかしながらこの半導体装置にも次に述べるような問題があった。

【0008】 この半導体装置においては、半導体チップ1の実装にリフロー法を採用している。リフロー法は温風リフロー、赤外線リフロー、ペーパーフェイズソルダリング等に区分されるが、いずれの手段の場合も、配線基板3の配線パターン4上にバンプ5を印刷塗布し、次いで印刷塗布したバンプ5上に半導体チップ1を位置決め搭載した後、バンプ5を熔融、凝固させて配線基板3に半導体チップを実装している。

【0009】 バンプ5を熔融させると、半田が流れて印刷塗布した時の面積より広がる。この広がり面積を一定に制御することは、従来の半導体装置においては、困難であった。一定に制御できないと、バンプ5と配線パターン4との接触面積が一定とならず、半導体装置の信頼性が低下してしまう。また、配線基板3上に複数の半導体チップ1を実装する際に、より高密度の実装をしようとすると、隣り合う半導体チップ1間の距離が近くなってくる。この場合、バンプ5の広がり面積が大きすぎると、隣り合う半導体チップ1間の隣り合うバンプ5同士が接触してしまう。これも半導体装置の信頼性が低下する1因となる。

【0010】 また、半導体素子と配線基板をフリップチップ接続したとき、接続部分が半導体素子の下側の領域に配置されるため外観による接続検査を行うことが不可能であった。従って、半導体素子の動作試験を行うまで、半導体素子と配線基板の接続不良（オープン、ブリッジ等）を発見できず、半導体装置の分留りの低下の原因となっていた。

【0011】 本発明は上記の問題を解決し、高密度な実装が可能で、しかも信頼性が優れた半導体装置を提供することを第1の目的とする。

【0012】 さらに、半導体素子を配線基板上にフリップチップ接続した半導体装置の半田接続部検査方法において、精度が良い半田接続検査方法を提供することを第2の目的とする。

【0013】

【課題を解決するための手段】 上記課題を解決するために、本発明の半導体装置（請求項1）は、主面とその主面上に形成された複数のパッド電極を有する配線基板と、前記配線基板の前記主面上に搭載され、前記配線基板の前記主面と対向する主面を有する長方形の半導体素子と、前記配線基板の前記主面において、前記半導体素子を所定の距離をおいて取り囲むように形成されたソルダレジストと、前記半導体素子の前記主面の端部に設けられた複数の端子電極と、前記配線基板の前記主面と前記半導体素子の前記主面との間にギャップを設け、かつ前記複数のパッド電極と前記複数の端子電極とをそれ

ぞれ電氣的に接続する複数の半田バンプとを具備し、前記複数のパッド電極の各々は、前記半導体素子の前記複数の端子電極の対応する1つの実質的な下部から、前記半導体素子の外側の前記ソルダレジストまで延在する部分を少なくとも含み、前記複数の半田バンプの各々は、前記複数のパッド電極の対応する1つの、前記半導体素子の外側に延在する部分上に広がった部分を有することを特徴とする。

【0014】 上記半導体装置において、前記半導体素子と前記ソルダレジストとの間の前記所定の距離を $d$ とすると、 $0.02\text{mm} \leq d \leq 1\text{mm}$ の関係を満足することが望ましい。

【0015】 また、前記半導体素子と前記ソルダレジストとの間の前記所定の距離を $d$ とし、前記半導体素子の長辺の長さを $D$ とすると、 $0.005 \leq d/D \leq 0.25$ の関係を満足することが望ましい。

【0016】 また、前記半導体素子と前記ソルダレジストとの間の前記所定の距離を $d$ とし、前記パッド電極の前記半導体素子の側面に沿った方向の幅を $W$ とすると、 $d \leq W$ の関係を満足することが望ましい。

【0017】 本発明によれば、バンプのうち、半導体素子の外周部に形成される半田の面積が、この部分で半田に接するソルダレジストによって一定となるので、バンプと配線パターン（パッド電極）との接触面積を一定にすることができる。しかも半田はソルダレジストでせき止められるので、隣り合う半導体部品間の隣り合うバンプ同士の半田が連結するのを防止することもできる。これらにより、フリップチップ方式による高密度な実装を生かしつつ、信頼性に優れた半導体装置を得ることができる。

【0018】 その上、上記レジストが半導体素子の端部から一定距離離れて形成されているので、上面から見た場合バンプの半田が半導体素子の外周部に延在している。すなわちバンプの半田が半導体素子からはみ出しているので、バンプを接続した後に行う半導体装置の接続検査が容易になるという利点も持つ。

【0019】 また、本発明の半導体装置用の半導体素子（請求項5）は、主面と4つの側辺を有する長方形の基板と、前記基板の前記4つの側辺の少なくとも1つの側辺に沿って前記主面上に形成され、前記少なくとも1つの側辺に平行な第1の側辺対とこれに垂直な第2の側辺対とを有し、前記基板上に形成された第1の金属電極と、前記第1の金属電極上に形成された半田に濡れない材料から成る第2の金属電極との積層構造を有する複数の端子電極と、前記複数の端子電極の各々の上に形成され、前記複数の端子電極の各々の前記第1の側辺対の長さより小さい長さを有する短辺と、前記短辺に垂直で、前記第2の側辺対の長さを超えない長さを有する長辺とからなる底面を有する直方体の金属コアと、前記金属コアの、前記複数の端子電極の各々と接続する面以外

の面を被覆する半田層とを具備することを特徴とする。

【0020】上記半導体素子の望ましい実施態様としては、次が挙げられる。

【0021】(1) 前記金属コアの前記短辺が、前記第1の側辺対の各々の上に位置する。

【0022】(2) 前記金属コアの前記短辺の中点が、前記第1の側辺対の各々の中点に位置する。

【0023】(3) 前記金属コアの前記長辺の長さが、前記第2の側辺対の長さに一致する。

(4) 前記金属コアの重心が、前記複数の端子電極の各々の重心上に位置する。

(5) 前記第2の金属電極を、チタンで形成する。

【0024】(6) 前記第2の金属電極は、前記第1の金属電極と密着性が良いことが望ましい。

【0025】(7) 前記金属コアを被覆する半田層を上方より見たとき、前記金属コアの短辺方向の前記半田層の最外点が、前記複数の端子電極の各々の内部に納まっている。

【0026】さらに、端子電極および金属コアは、実質的に楕円形とすることもできる。

【0027】本発明によれば、半田バンパが隣接する方向の半田バンパの幅を小さくすることができるので、半田バンパ間の距離を狭くできる。この結果実装密度を向上することができる。

【0028】本発明の半田接続部の検査方法(請求項6)は、配線基板上に設けられ、表面が金と銅のいずれかから成る配線導体に、半田が被覆される半田接続部を有する半導体装置の半田接続部検査方法において、前記配線導体上の前記半田付け部に480nm以下、もしくは580nm以上のいずれかの波長の光を照射するステップと、前記半田付け部よりの反射光を検知するステップと、前記反射光の強度から、その反射光が前記配線導体の前記表面から反射されたものか、前記半田から反射されたものかを識別し、前記半田付け部に前記半田が存在するか否かを検出するステップとを具備することを特徴とする。

【0029】前記光は単色光であることが好ましい。

【0030】また、前記単色光の波長が380nm以上480nm以下、あるいは580nm以上770nm以下であることがより好ましい。

【0031】本発明によれば、配線導体材料と半田材料における反射強度のコントラストが大きくなるため、配線導体上の半田の有無を精度良く判断することができる。従って、良好な接続と接続不良を精度よく判別できる。

【0032】また、この検査方法は電気検査よりも前に接続不良を検出できるため、接続不良を早期に発見、リペアすることにより、半導体装置の製造歩留まりを向上させることができる。さらに、X線による検査と比較して安全かつ経済的に接続検査を行うことができる。

【0033】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

(第1の実施形態) 図1に本発明の第1の実施形態に係わる半導体装置の上面図および断面図を示す。図1

(a)は上面図、図1(b)は図1(a)のA-A'断面図である。

【0034】図1においては、半導体素子として半導体チップ11を用いている。半導体チップ11の下面には、複数の端子電極12が設けられている。また、半導体チップ11は、樹脂を用いた配線基板13上に設けられた配線パターン(パッド電極)14と、端子電極12とをバンパ15によって電気的に接続することにより搭載されている。

【0035】このバンパ15は、半田15<sub>1</sub>と、Cuなどを用いた金属コア15<sub>2</sub>とより構成されている。さらに、半田15<sub>1</sub>のうち半導体チップ11の外周部に形成された部分は、配線パターン14上に形成された樹脂を用いたソルダーレジスト17と接している。

20 【0036】半導体チップ11の配線基板13への実装にはリフロー法を用いる。具体的には次のようにして行う。まず図2に示すように、半導体チップ11の端子電極12上に金属コア15<sub>2</sub>を形成し、半田15<sub>1</sub>で被覆して半田バンパ15を形成しておく。

30 【0037】そして半導体チップ11を配線基板13上の配線パターンに位置決め搭載し、バンパ15の半田15<sub>1</sub>を熔融させ、その後冷却して半田15<sub>1</sub>を凝固させる。こうして端子電極12と配線パターン14とはバンパ15によって電気的に接続され、半導体チップ11が、配線基板12上に実装される。このとき熔融した半田15<sub>1</sub>は、半田の濡れ性の良い配線パターン14の上を流れて広がり、ソルダーレジスト17によって堰とめられる。半田バンパ15の半田15<sub>1</sub>の量と配線導体14のソルダーレジスト17で覆われていない部分(すなわち半田付け用のパッド電極)の面積を適切に設定することにより、バンパ15と配線パターン14との接触面積を一定にすることができる。

40 【0038】しかも半田15<sub>1</sub>は、ソルダーレジスト17により堰止められているので、例えば隣り合う半導体チップ11間の隣り合うバンパ15同士が近接した場合、半田15<sub>1</sub>を通じて互いに連結するのを防止することもできる。もしこのような連結が生じると、各々の接続部における半田量にばらつきが生じて、接続の信頼性を劣化させることになる。

50 【0039】以上により、フリップチップ方式による高密度な実装を生かしつつ、信頼性に優れた半導体装置を得ることができる。この実施形態では、図1(a)に示すように上面から見た場合の半導体チップ11の外周部にも半田15<sub>1</sub>が形成されている。換言すれば、上面から見た場合、半導体チップ11から半田がはみ出して

る。

【0040】フリップチップ方式で通常知られているのは、半田が半導体チップ外周部には形成されない。このため、端子電極と配線パターンとが接続されているどうかの接続検査が難しい。これに対し、本実施形態は半田15<sub>1</sub>がはみだしているのを、接続検査を容易に行うことができる。

【0041】このはみ出している部分の長さdは、 $0.02\text{mm} \leq d \leq 1\text{mm}$ の範囲が好ましい。0.02mm以上が好ましい理由は以下の通りである。この検査の方法としては、目視や光学検査あるいはプローブ針を当てることによる電気検査などが考えられるが、例えば電気検査の場合、プローブ針があたるセンシングスポットは、小さくても0.02mm程度であり、dが0.02mmより小さくなると検査が困難になってしまう。光学検査を行う場合でも、dはある程度大きいほうが、検査を簡単にするという観点から好ましい。さらに、0.02mmよりも大きいと、配線パターン14とパンプ15との接触面積が十分に取れ、接続強度の面からも好ましい。

【0042】また1mm以下が好ましい理由は次の通りである。dが大きすぎると、まず半導体チップ間を狭くできないため高密度な実装が困難になる。さらには外周部に流れる半田15<sub>1</sub>の量が増えるため、パンプに使用する半田15<sub>1</sub>の量が増大し、パンプピッチを狭くする高密度な実装が困難になる。

【0043】以上と同様な理由で、半導体チップの長手方向の長さDと前述のdとの比は、 $0.005 \leq d/D \leq 0.25$ の範囲が好ましい。また図1(b)に示すh<sub>1</sub>、すなわち半導体チップ11と配線基板13との間隔はおよそ0.1mmである。

【0044】次に図3(a)に図1の1部を拡大した断面図を示す。図中、h<sub>1</sub>はソルダーレジスト17の厚さ(十数μm)であり、h<sub>2</sub>はレジストによりせき止められた半田端部における半田15<sub>1</sub>の厚さである。図3

(a)では、リフローした半田15<sub>1</sub>は外周部において、h<sub>1</sub>の高さよりも低いh<sub>2</sub>の高さとなる。

【0045】図3(a)からわかるように、半田15<sub>1</sub>が配線パターン14に良好に濡れた場合、ソルダーレジスト17によってせき止められる半田15<sub>1</sub>は丸みを帯びた形状となる。これは、ソルダーレジストが半田に濡れないことと半田の表面張力に因る現象である。また、半田15<sub>1</sub>のその他の端部、例えば配線導体の幅方向の両端部も半田の表面張力により曲面を成す。

【0046】例えば光学的な接続検査を行う時に、半田15<sub>1</sub>の丸みを帯びた部分とその他の平坦な部分は検査光の反射方向が異なる。このため、丸みを帯びた部分からの反射光は受光器に検出されず、平坦な部分からの反射光は受光器に検出される。これにより、半田15<sub>1</sub>がどこまで流れたかを容易に知ることが出来る。

【0047】一方、何らかの原因で半田15<sub>1</sub>が配線パターン14上に流れ出していない場合、すなわち接続不良が起きている場合は、配線パターン14は、半田15<sub>1</sub>に覆われない。配線パターン14は平坦であるので黒く検知される。従って良好に濡れた場合と異なって、白く検知される部分がないので、両者をコントラストの違いにより区別でき、光学的な接続検査を容易に行うことができる。なお、本実施例では、反射光が受光器に検出された場合は画像に黒く表示され、検出されない場合は、白く表示される検査装置の例で説明している。

【0048】なお、半田15<sub>1</sub>が流れ出しているが、ソルダーレジスト17まで達していない場合も、パンプ15と配線パターン14との接続は為されていると考えられる。このような場合でも、半田15<sub>1</sub>の先端が丸みを帯びて白く検知されるので、判別が可能である。

【0049】このとき、光学検査に用いる入射光の波長λは、ソルダーレジスト17によって吸収される波長であることが望ましい。

【0050】なお、後述するように配線パターン14と平坦な部分の半田15<sub>1</sub>の反射率の相違を利用して検査を行うこともできる。

【0051】また、図3(b)にh<sub>1</sub> < h<sub>2</sub>の場合を示す。これは配線基板13としてアルミナなどを使った場合であり、ソルダーレジスト17としてはクロムなどを用いる。h<sub>1</sub>は数μmとなる。このような場合でも、半田15<sub>1</sub>の先端が丸みを帯びて白く検知されるので、判別が可能である。

【0052】上記のように、光の反射を利用して流れ出した半田15<sub>1</sub>の先端もしくは輪郭を検出することができるが、半田15<sub>1</sub>の部分が殆ど曲面であれば、この部分をすべて白く検出することができるので、より確実な検査を行うことができる。このような状態を作り出す条件は、半導体チップ11の外周からソルダーレジスト17までの距離dと配線パターン14の幅W(図1に示す)の関係を $W \geq d$ とすればよい。より詳細に説明すると、半導体チップ11と配線パターン14が接続不良の場合は、パンプ15中の半田15<sub>1</sub>は配線パターン14を濡らさない。図4(a)は、このとき上面より光(例えばLED、レーザー)を当てた場合の検出器(例えばCCDセンサー)の画像を示す。斜線を施した部分は光が反射して検出器に検出されたことを示す。この場合、上面から照射した光は反射面がすべて平面であるため、入射光は殆ど反射して検出器に入る。

【0053】一方配線パターン14に半田15<sub>1</sub>が流れ出している場合には、半田15<sub>1</sub>の部分が曲面状であるため、入射光は散乱し、検出器で受光されない。従って図4(b)に示すように、半田15<sub>1</sub>に覆われた配線パターン14の部分は白く検知される。これにより、半田の流れ出しを、コントラスト良く検出することが出来る。

【0054】（第2の実施形態）図5に第2の実施形態に係わる半導体装置の平面図を示す。図5では、図1と同一部分には同一符号を付けてあり、以下同様とする。

【0055】図5の半導体装置が図1の半導体装置と異なる点は、ソルダーレジスト17に開口部18を設け、隣り合う半田15、間にソルダーレジスト17が介在するようにした点である。

【0056】ソルダーレジスト17が介在することにより、隣り合う半田15、がリフロー時に接触して短絡することを防止できる。

【0057】（第3の実施形態）図6に第3の実施形態に係わる半導体装置の平面図を示す。

【0058】図6の半導体装置が図5の半導体装置と異なる点は、開口部18を狭くして面積を小さくした点である。

【0059】開口部18の面積が小さい、すなわち開口部18上の配線パターンの面積が小さいので、図2の半導体チップと比較して半田15、の量を低減できる。すなわちリフロー前のバンプ15の大きさを小型化でき、実装密度を向上できる。

【0060】（第4の実施形態）図7に第4の実施形態に係わる半導体装置の平面図を示す。

【0061】図7の半導体装置が図5の半導体装置と異なる点は、配線パターンを開口部18からずらした点である。

【0062】これにより開口部18上の配線パターンの面積が小さくなる。従って図6の半導体装置と同様に半田15、の量を低減でき、リフロー前のバンプ15の大きさを小さくできる。

【0063】（第5の実施形態）図8に第5の実施形態に係わる半導体装置の平面図を示す。

【0064】この半導体装置が図1の半導体装置と異なる点は、半導体チップ11と配線基板13との間にスペーサ19が設けられている点である。またバンプ15に金属コア15<sub>2</sub>がない点も異なる。

【0065】スペーサ19が設けられていることにより、金属コアがなくても半田15、をリフローしたときに半導体チップ11と配線基板13との間隔をスペーサ19の高さh<sub>1</sub>以上に保つことができる。

【0066】（第6の実施形態）ここで図8および図9に、図3のところで述べたとは別の、本発明に係わる半導体装置の光学検査による接続検査の方法を示す。

【0067】図9に示すように、光源20（例えばLED、レーザー）から発した光21は半田15、のリフロー後であれば半田15、上を反射して受光器22（例えばCCDセンサー）に入る（図9（a））。また、リフロー前であれば配線パターン14上を反射して受光器22に入る（図9（b））。

【0068】一般に配線パターン14は表面粗さが100nm以上と粗いのにに対し、半田15、は表面粗さが2

0nm以下でほぼ鏡面となることから、反射率の違いにより両者を区別することができる。これにより半田15、の接続検査を容易に行うことができる。

【0069】また図10は配線パターン14上に導電性塗料23を塗布した場合を示す。この場合、図10

（b）に示すように、リフロー前であれば光21は塗料23上を反射する。この場合も半田15、と塗料23との反射率の違いにより接続検査が容易にできる。

【0070】（第7の実施形態）図10に第6の実施形態に係わる半導体装置の断面図を示す。

【0071】この半導体装置が図1の半導体装置と異なる点は、ソルダーレジスト17の先端が斜めにカットされている点である。

【0072】これにより光学検査を行う場合、ソルダーレジスト17が入射光21を反射するような材料であった場合にも、ソルダーレジスト17の端部で反射された光21は受光器22に入らない。従ってソルダーレジスト17と配線導体14の反射光のコントラストが大きくとれ、ソルダーレジスト17と配線導体14の境目の区別が明瞭につき、検査が容易になる。

【0073】（第8の実施形態）図12に第8の実施形態に係わる半導体装置の断面図を示す。この実施例は半導体部品として、半導体チップや回路を一体化した半導体モジュール31を用いている。この半導体モジュール31の下面からの斜視図を図13に示す。

【0074】半導体モジュール31は、モジュール用基板38上に半導体チップ11や受動部品39を設けてこれらを配線パターン14によってつなぎ、これらの半導体チップなどを搭載した側をキャップ40によって覆っている。モジュール用基板38の反対の面には端子電極32が設けられていて、半導体チップ11や受動部品39は、モジュール用基板38を貫通して設けられたビア41によって端子電極32に接続されている。端子電極32は配線基板33上の電極34（図1の配線パターン14に相当する）と半田35よりなるバンプを介して接続されている。また配線基板33の電極34に隣接してソルダーレジスト37が設けられている。

【0075】この半導体装置はソルダーレジスト37が基板33上に直接設けられ、配線パターン上に設けられていない点が図1とは異なるが、図1とほぼ同様な効果を得ることができる。

【0076】光学検査をする場合には、半導体素子として半導体チップを用いた前述の実施形態と同様な方法で行うこともできるが、図14に示すように、直上より光線21をバンプ35のフィレット部分に当て、その反射光を受光器22で受光することにより検査することもできる。

【0077】ここで図15に半田35の接続が正常な場合と、過多・過小・浮き・無しの場合とを比較した図を示す。正常な場合とその他の場合とでは光21の反射の

仕方が異なるため、仕様に応じて受光器 22 を適宜設置することにより、接続検査が容易にできる。

【0078】また接続検査はプローブを当てる電気検査によって行うことも可能である。その状態を図 16 に示す。プローブ 43 を半田 35 に当てることにより接続検査を行う。半田 35 がはみ出しているため、このような検査も容易にできる。

【0079】(第 9 の実施形態) 図 17 に第 9 の実施形態に係わる半導体装置の断面図を示す。

【0080】この半導体装置が図 14 と異なる点は、半導体モジュール 31 の外周部にある電極 34 が、対応する端子電極 32 の直下よりも外側にずれた位置に形成されていることである。図 14 の場合よりも電極 34 を小さくすることができるので、半田 35 の量を減らすことができる。これにより、電極 32 および 34 の間隔を狭くすることができる。

【0081】(第 10 の実施形態) 図 18 に第 10 の実施形態に係わる半導体装置の平面図を示す。この半導体装置では電極 34 が半導体モジュール 31 の外周部にはみ出す部分を、はみ出さない部分よりも小さくしている。これにより、半田 35 の量の低減を図ることができる。図 6、7 と同様な効果を得ることができる。

【0082】(第 11 の実施形態) 図 19 に第 11 の実施形態に係わる半導体装置の断面図を示す。この半導体装置が図 11 の半導体装置と異なる点は、電極 34 上にソルダーレジスト 44 を設けてある点である。これにより、図 1 の半導体装置と同様な効果を得ることができる。

【0083】以上の実施例では、半導体素子として半導体チップや半導体モジュールを用いたが、半導体チップのみが内蔵されている bumps 端子付きパッケージ済み半導体チップを用いることも可能である。

【0084】またソルダーレジストとしてはチタンやアルミニウムなどを用いることもできる。その他、半田と濡れ性の悪いものであれば何でもよく、要するに半田をせき止める役割を果たせるものであれば何を用いても良い。

【0085】(第 12 の実施形態) 本実施形態は、半導体チップ 11 に形成される半田 bumps 15 の構成に関するものである。図 20 (a) は、半導体チップ 11 の周縁部に形成された半田 bumps 15 の形成途中の平面図で、図 20 (b) は図 20 (a) の B-B' 線に沿った断面図である。図 21 は、図 20 (b) の半導体チップ 11 を加熱して半田 15<sub>1</sub> をリフローし、半田 bumps 15 を形成した状態を示す断面図である。これらの図面は図 2 とは異なり、bumps 形成面が上 (face up) に描かれている。

【0086】本実施形態の特徴の 1 つは、半導体チップ 11 の電極 12 と、半田 bumps 15 の金属コア 15<sub>2</sub> (例えば Cu) との間に、半田の濡れ性が悪いバリア

メタル 15<sub>3</sub> (例えば Ti) を挿入したことである。

【0087】また、本実施形態の他の特徴は、バリアメタル 15<sub>3</sub> の上に形成された金属コア 15<sub>2</sub> の、半導体チップのエッジに平行の方向の幅 Wc と、バリアメタル 15<sub>3</sub> の同方向の幅 We との関係が、We > Wc となっていることである。電極 12 およびバリアメタル 15<sub>3</sub> は、通常正方形に形成されるので、金属コア 15<sub>2</sub> の平面形状は長方形に形成されることになる。

【0088】このような構成にすると、リフローをしたとき半田 15<sub>1</sub> は、バリアメタル 15<sub>3</sub> に濡れないので、金属コア 15<sub>2</sub> を核にして図 21 のような卵型の断面に変形し、その後凝固する。すなわち、半田 bumps 15 は半導体チップ 11 のエッジに平行な方向にはスリムな形状に形成される。従って、隣接した半田 bumps 15 同士が接触しにくくなり、半田 bumps 15 の間の距離を縮めることも可能となる。

【0089】上記実施形態では、端子電極および金属コアの平面形状を正方形若しくは長方形としたが、形状はこれに限られるものではなく、図 22 に示すような八角形でも、FIG. 23 に示すように実質的な楕円 (円) であってもよい。

【0090】(第 13 の実施形態) 本実施形態は、再び半田接続の検査方法に関するものである。測定系は図 11 (a) に示すものと同じであり、具体的には、発光源 20 から選択された波長の光を配線導体 14 上の半田 15<sub>1</sub> に照射し、その反射光を検出器 22 で検出、反射強度のコントラストから半田の有無を判断し、接続状態を検査する。

【0091】図 1 に示した半導体装置を例にとり、本発明の接続検査方法を説明する。前述のように本発明の半導体装置では、半導体素子 11 の外形より外側に配線導体 14 が配置されている。配線導体の材料は、導体表面が金あるいは銅で覆われていれば、特に限定されるものではない。配線基板 13 には、積層ガラスエポキシ基板やポリイミドフレキシブル基板等が使用できる。本実施例においては、配線導体の表面を金とし、配線基板の材質を積層ガラスエポキシ基板とする。

【0092】検査方法の説明の前に、検査に供する半導体装置の製造方法を説明する。まず、図 2 と同様な半導体チップ 11 を準備する。半導体チップ 11 上の半田 bumps 15 の金属コア 15<sub>2</sub> は、銅、ニッケル、タングステン、半田 15<sub>1</sub> より融点の高い半田等を用いることができる。bumps 15 は、金属コア 15<sub>2</sub> 上に半田 15<sub>1</sub> が電気メッキ法により堆積されている。半導体素子 11 のサイズ、bumps 数は、任意とすることができる。

【0093】フリップチップボンダーを用いて半導体チップ 11 を配線基板 13 上のパッド電極 (配線導体) 14 に位置合せし、bumps 15 と配線基板 13 のパッド電極 14 を電氣的、機械的に接触させる。このとき、配線基板 13 は加熱ステージ上に保持され、窒素雰囲気中で



200℃以上に加熱されている。

【0094】さらに、半導体チップ11の bumps 15と配線基板13のパッド電極14が接触した状態で、半導体チップ11を保持するコレットを窒素雰囲気中で200℃に加熱し、半田を溶融させて、半導体チップ11と配線基板13を仮接続させる。

【0095】最後に、窒素雰囲気中で250℃に加熱されたリフロー炉中に、半導体チップ11を搭載した配線基板13を通過させ本接続させる。以上の工程を実施することにより、図1に示すように、半導体チップ11が配線基板13にフリップチップ接続された半導体装置が得られる。

【0096】次に、本発明の接続検査法を説明する。図11に示すように、発光源20から、選択された波長の光を半田接続部分に照射し、その反射光を検出器22で検出する。さらに、その反射強度のコントラストの違いから半田の有無を判断し、接続状態を検査する。

【0097】発光源として重水素放電管、中空陰極ランプ、キセノンランプ、タングステンランプ等を使用できる。さらに、発光源から放出された光を分光器により単色化することがより望ましい。分光器としては、プリズムおよび回折格子が使用できる。さらに、発光源として、He-Neレーザー、Arレーザー、ルビーレーザー、AlGaAsレーザーを使用してもよい。本実施例においては、発光源20として中空陰極ランプを用い、陰極の元素の種類をKとした。この場合、発生された光の波長は760nmである。

【0098】図24は、配線導体の表面が金である場合の光の反射強度の波長依存性を示した図である。縦軸は、標準白板を使用したときの反射強度を100%とし、黒を使用したときの反射強度を0~3%とした相対反射強度である。480nm以下で30~40%であるのに対して、480~580nmで急激に大きくなり、580nm以上で90%程度になった。なお、配線導体の表面が銅の場合も、同等な特性が得られることが確認されている。

【0099】また、図25は、半田に光を照射したときの反射強度の波長依存性を示した図である。半田の場合、反射強度は480~770nmの範囲にわたって、反射強度は殆ど変化せず、50%程度であった。

【0100】また、光の反射強度は、配線導体材料および半田の表面状態にも依存する。しかし、反射強度の波長依存性は変化しないため、検査に用いる光の波長を選択した場合と選択しない場合を比較すると、前者の方がより明確な反射強度のコントラストを得ることができる。従って、検査に使用する光の波長を選択することによって、反射強度のコントラストを大きくすることができるため、接続部分の状態を正確に知ることができる。

【0101】本実施例の様に580nm以上の波長の光を使用した場合、正常な接続が為されていれば、半田が

配線導体上に覆っているため、配線導体材料の反射強度より小さい反射強度を検出することになる。一方、半田 bumps 15と配線導体14が、位置ずれ、半田 bumps 小等の原因で、接触していない場合には、配線導体14上に半田が流れ出ないため、光の反射強度は配線導体材料の反射強度となる。従って、配線導体上の半田の有無によって、明確な反射強度のコントラストを得ることができる。

【0102】逆に480nm以下の波長の光を使用した場合、正常な接続がなされていれば、半田が配線導体14上に覆っているため、配線導体材料の反射強度より大きい反射強度を検出することになる。一方、接続不良が生じている場合には、配線導体14上に半田が流れ出ないため、光の反射強度は配線導体材料の反射強度となる。従って、この場合も配線導体上の半田の有無によって、明確な反射強度のコントラストを得ることができる。

【0103】以上のことから、照射する光の波長を選択することによって、反射強度のコントラストが大きくなるため、配線導体上の半田の有無を正確に判断できる。従って、半導体チップと配線基板が正常に接続されているか否かを、精度良く判別することができる。また光学検査を視覚的に確認するために、単色光である検査光は可視光(波長380nm以上770nm以下)を使用することが望ましい。

【0104】

【発明の効果】本発明の半導体装置(請求項1)によれば、 bumps のうち、半導体素子の外周部に形成される半田の面積が、この部分で半田に接する solder レジストによって一定となるので、 bumps と配線パターンとの接触面積を一定にすることができる。しかも半田は solder レジストでせき止められるので、隣り合う半導体素子間の隣り合う bumps 同士の半田が連結するのを防止することもできる。これらにより、フリップチップ方式による高密度な実装を生かしつつ、信頼性に優れた半導体装置を得ることができる。

【0105】その上、上記レジストが半導体素子の端部から一定距離離れて形成されているので、上面から見た場合 bumps の半田が半導体素子の外周部に延在している。すなわち bumps の半田が半導体素子からはみ出しているため、 bumps を接続した後に行う半導体装置の接続検査が容易になるという利点も持つ。

【0106】また、本発明の半導体素子(請求項5)によれば、半田 bumps が隣接する方向の半田 bumps の幅を小さくすることができるので、半田 bumps 間の距離を狭くできる。この結果実装密度を向上することができる。

【0107】さらに、本発明の半田接続部の検査方法(請求項6)によれば、配線導体材料と半田材料における反射強度のコントラストが大きくなるため、配線導体上の半田の有無を精度良く判断することができる。従っ



て、良好な接続と接続不良を精度よく判別できる。

【0108】また、この検査方法は電気検査よりも前に接続不良を検出できるため、接続不良を早期に発見、リペアすることにより、半導体装置の製造歩留まりを向上させることができる。さらに、X線による検査と比較して安全かつ経済的に接続検査を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体装置の説明するための図で、図1(a)は平面図、図1(b)は図1(a)のA-A'線に沿った断面図。

【図2】第1の実施形態に使用される半導体チップの断面図。

【図3】本発明の第1の実施形態に係わる半導体装置の半田接続部の拡大図で、図3(a)は $h_1 > h_2$ 、図3(b)は $h_1 < h_2$ の場合のそれぞれの断面図。

【図4】光学的な接続検査における受光器の像を示した図で、図4(a)は接続不良の例、図4(b)は良好な接続の例を示す図。

【図5】本発明の第2の実施形態に係わる半導体装置の平面図。

【図6】本発明の第3の実施形態に係わる半導体装置の平面図。

【図7】本発明の第4の実施形態に係わる半導体装置の平面図。

【図8】本発明の第5の実施形態に係わる半導体装置の断面図。

【図9】本発明の第6の実施形態に係わる半導体装置の接続検査方法を示す図で、図9(a)は配線導体上に半田がある場合、図9(b)は配線導体上に半田が無い場合の図。

【図10】本発明の第6の実施形態の接続検査方法の変形例を示す図で、図10(a)は配線導体上に半田がある場合、図10(b)は配線導体上に半田が無い場合で、さらに配線導体上に導電性塗料を有している場合の図。

【図11】本発明の第7の実施形態に係わる半導体装置の半田接続部の拡大断面図であり、さらに接続検査の原理を説明する図。

【図12】本発明の第8の実施形態に係わる半導体装置の断面図。

【図13】本発明の第8の実施形態に使用される半導体モジュールの斜視図。

【図14】本発明の第8の実施形態に係わる半導体装置の接続検査方法を示す図。

【図15】種々の半田接続形状と検査光の反射方向の関係を示す図。

【図16】第8の実施形態に係わる半導体装置の他の接続検査方法を示す図。

【図17】本発明の第9の実施形態に係わる半導体装置の断面図。

【図18】本発明の第10の実施形態に係わる半導体装置の平面図。

【図19】本発明の第11の実施形態に係わる半導体装置の断面図。

【図20】本発明の第12の実施形態に係わる半導体装置の半田バンプ構造を説明するための図で、図20(a)は半導体チップの1部平面図、図20(b)は図20(a)のB-B'線に沿った断面図。

【図21】図20(b)に示される半田バンプをリフローした後の状態を示す半導体チップの断面図。

【図22】第12の実施形態の半田バンプ構造の変形例を説明するための平面図。

【図23】第12の実施形態の半田バンプ構造の他の変形例を説明するための平面図。

【図24】配線導体の表面に形成された金の反射強度の波長依存性を示す図。

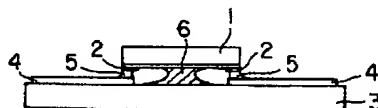
【図25】半田の反射強度の波長依存性を示す図。

【図26】従来のフリップチップ接続の1例を示す半導体装置の断面図。

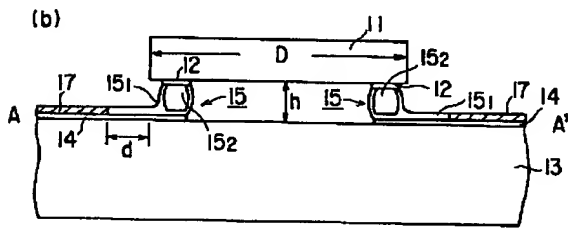
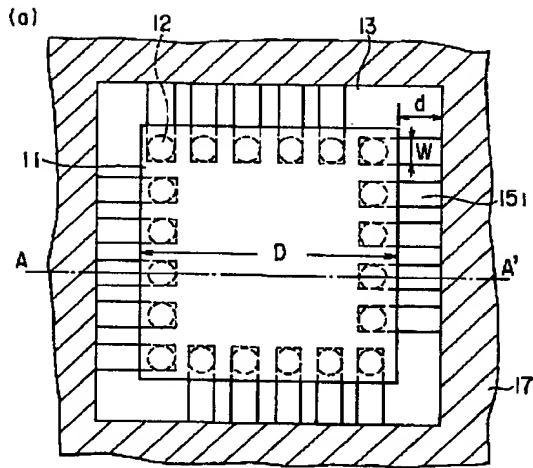
【符号の説明】

- 11 … 半導体チップ
- 12 … 端子電極
- 13 … 配線基板
- 14 … 配線パターン（配線導体、パッド電極）
- 15 … 半田バンプ
- 15<sub>1</sub> … 半田
- 15<sub>2</sub> … 金属コア
- 17 … レジスト
- 18 … レジストの開口部
- 19 … スペース
- 20 … 光源
- 21 … 光線
- 22 … 検出器

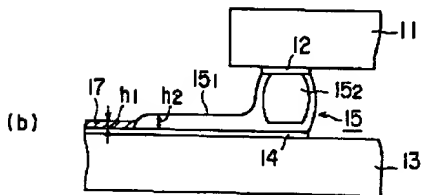
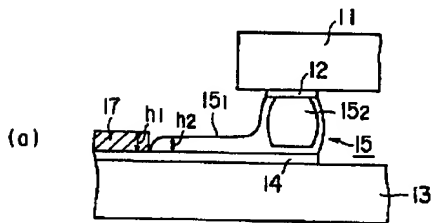
【図26】



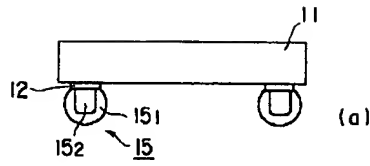
【図 1】



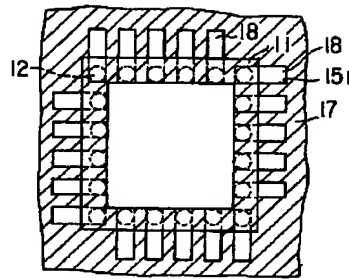
【図 3】



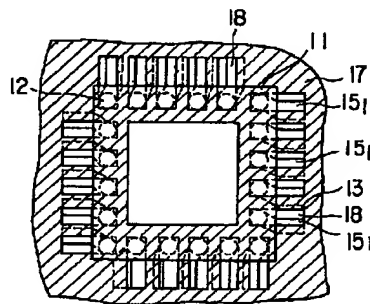
【図 2】



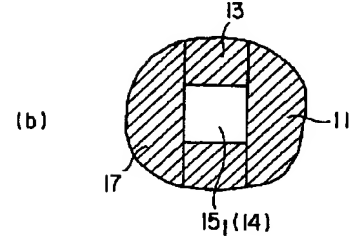
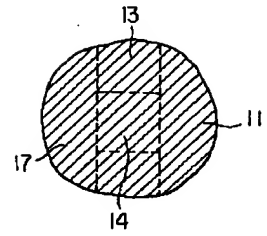
【図 5】



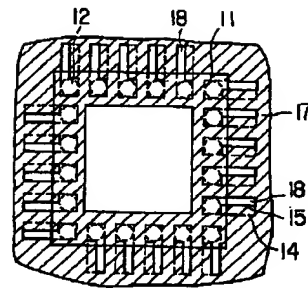
【図 7】



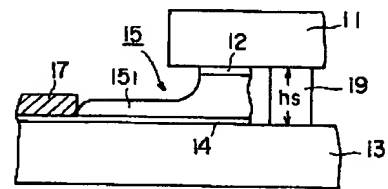
【図 4】



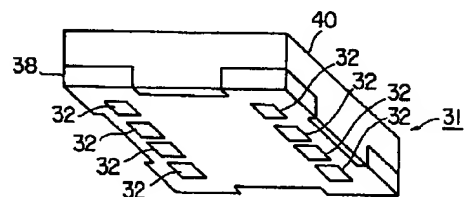
【図 6】



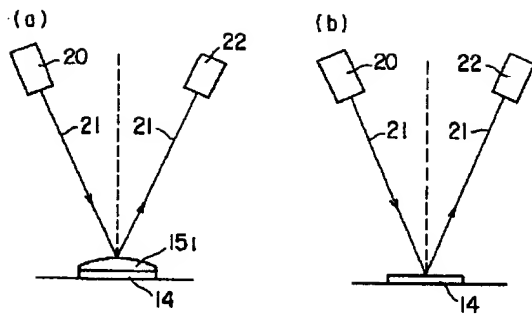
【図 8】



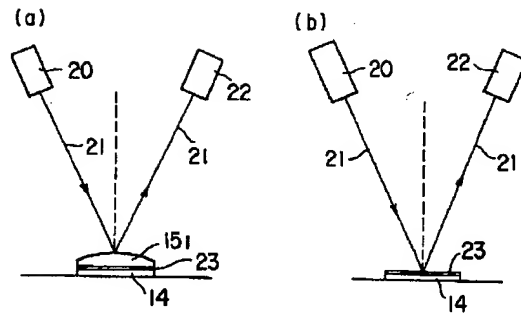
【図 13】



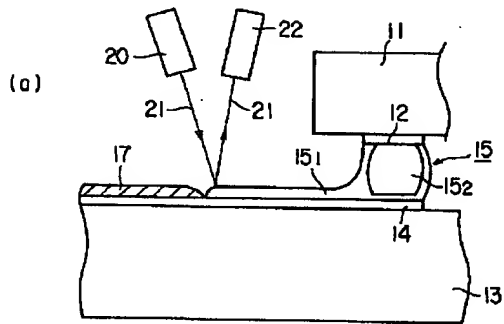
【図 9】



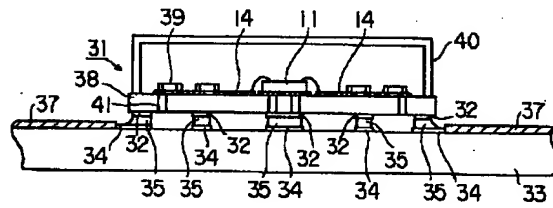
【図 10】



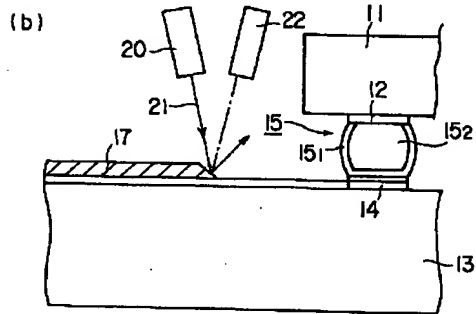
【図 11】



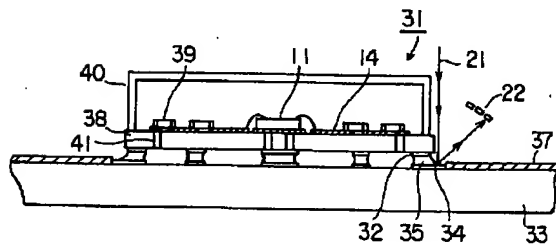
【図 12】



【図 15】

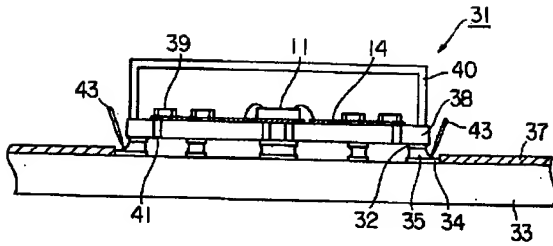


【図 14】

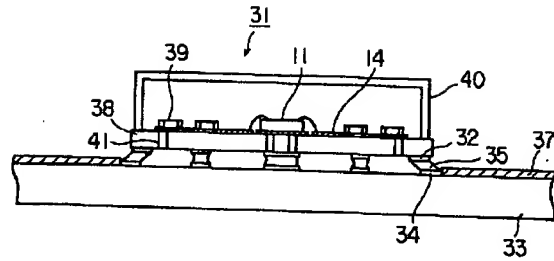


	上面図	断面図	正面図
正常			
過多			
過少			
浮き			
無し			

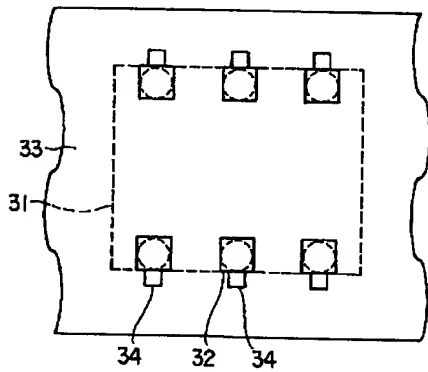
【図 16】



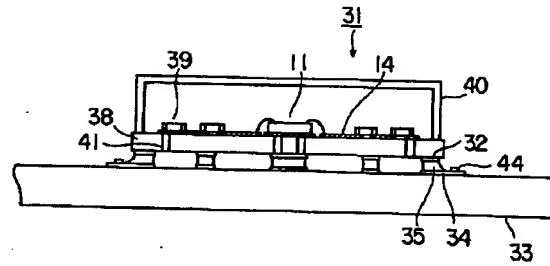
【図 17】



【図 18】

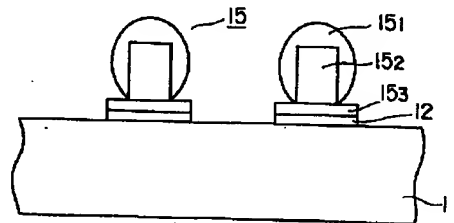
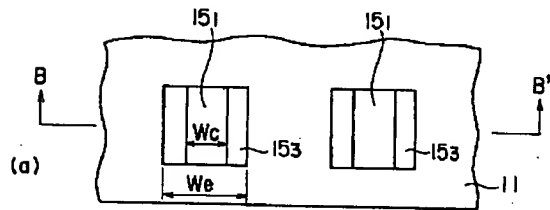


【図 19】

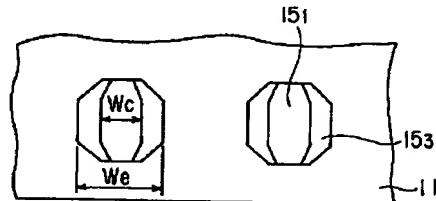
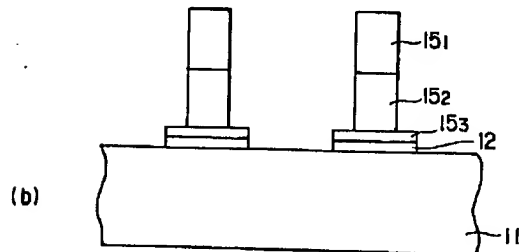


【図 21】

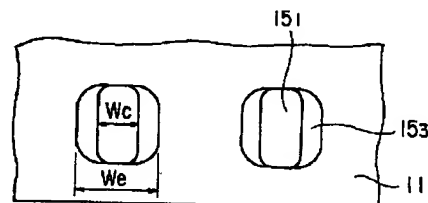
【図 20】



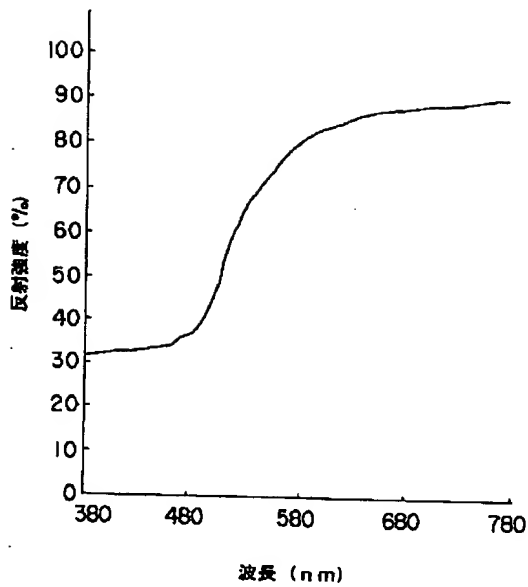
【図 22】



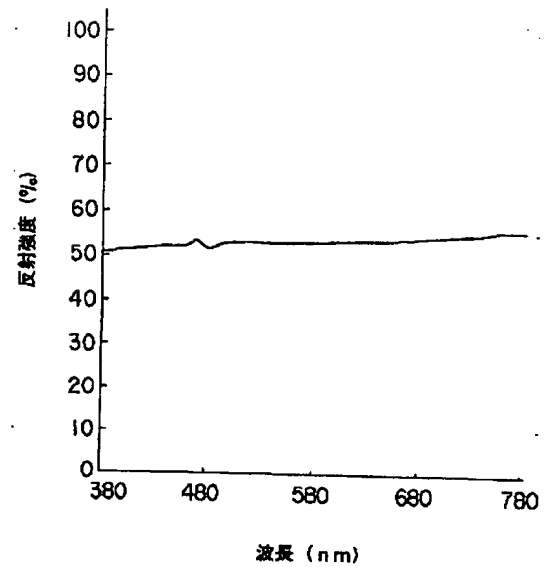
【図 23】



【図 2 4】



【図 2 5】



フロントページの続き

(51) Int. Cl. <sup>6</sup>		識別記号	庁内整理番号	F I	技術表示箇所	
H 0 5 K	3/34	5 1 2	7128-4E	H 0 5 K	3/34	5 1 2 B
(72) 発明者	山田 浩			(72) 発明者	小野 直子	
	神奈川県横浜市磯子区新磯子町33番地 株				神奈川県川崎市幸区小向東芝町 1 番地 株	
	式会社東芝生産技術研究所内				式会社東芝研究開発センター内	
(72) 発明者	斉藤 雅之			(72) 発明者	館山 和樹	
	神奈川県横浜市磯子区新磯子町33番地 株				神奈川県横浜市磯子区新磯子町33番地 株	
	式会社東芝生産技術研究所内				式会社東芝生産技術研究所内	